

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

010101504 **Image available**

WPI Acc No: 1995-002757/199501

XRAM Acc No: C95-002613

XRXPX Acc No: N95-006025

**SOI-type semiconductor device mfg method for drive substrate of display
appts, such as crystalline liquid on transparent substrate - forming
integrated circuit on single crystal semiconductor film substrate,
insulating substrate and transferring integrated circuit in
single-crystal semiconductor layer on glass substrate NoAbstract**

Patent Assignee: SEIKO INSTR INC (DASE)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6291291	A	19941018	JP 9374848	A	19930331	199501 B

Priority Applications (No Type Date): JP 9374848 A 19930331

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 6291291	A	5	H01L-027/12	
------------	---	---	-------------	--

Abstract (Basic): JP 6291291 A

Dwg.1/6

Title Terms: SOI; TYPE; SEMICONDUCTOR; DEVICE; MANUFACTURE; METHOD;
DRIVE;

SUBSTRATE; DISPLAY; APPARATUS; CRYSTAL; LIQUID; TRANSPARENT;
SUBSTRATE;

FORMING; INTEGRATE; CIRCUIT; SINGLE; CRYSTAL; SEMICONDUCTOR; FILM;
SUBSTRATE; INSULATE; SUBSTRATE; TRANSFER; INTEGRATE; CIRCUIT;
SINGLE;

CRYSTAL; SEMICONDUCTOR; LAYER; GLASS; SUBSTRATE; NOABSTRACT

Index Terms/Additional Words: SOI; TYPE; SEMICONDUCT

Derwent Class: L03; U11; U13; U14

International Patent Class (Main): H01L-027/12

International Patent Class (Additional): H01L-021/304; H01L-021/306;
H01L-021/336; H01L-021/76; H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04619391 **Image available**
MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 06-291291 [JP 6291291 A]

PUBLISHED: October 18, 1994 (19941018)

INVENTOR(s): YAMAZAKI TSUNEO
TAKAHASHI KUNIHIRO
TAKASU HIROAKI
SAKURAI ATSUSHI

APPLICANT(s): SEIKO INSTR INC [000232] (A Japanese Company or Corporation),
JP (Japan)

APPL. NO.: 05-074848 [JP 9374848]

FILED: March 31, 1993 (19930331)

INTL CLASS: [5] H01L-027/12; H01L-021/304; H01L-021/306; H01L-021/76;
H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 14.7 (ORGANIC
CHEMISTRY -- Coating Material Adhesives)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: , Section No. FFFFFF, Vol. 94, No. 10, Pg. FFFFFF,
FF, FFFF (FFFFFF)

ABSTRACT

PURPOSE: To transfer thin-film integrated circuit to an insulating substrate without using organic adhesive by joining the flattened surface of an integrated circuit substrate and a flat surface of an insulating substrate such as of glass, and grinding the integrated circuit substrate so that only its circuit layer may remain.

CONSTITUTION: Sources 2, drains 3, gate oxide films 4, gate electrodes 5, field oxides 6, insulating films 7 and metal electrodes 8 of MOS transistors are formed on a single-crystal silicon substrate 1 by an ordinary LSI process. A protective insulating film 9 is formed on the substrate. The surface of the protective film is ground and lapped, so that it becomes flat and smooth. An insulating substrate 10, such as of glass, is attached to the flat surface of the substrate by means of high electric field. Since no organic adhesive is used, the device thus obtained is reliably resistant to thermal and mechanical disturbance.

特開平6-291291

(43)公開日 平成6年(1994)10月18日

(51)Int.CI.⁵

H01L 27/12

識別記号

F I

21/304

B

321

M 8832-4M

21/306

B 9272-4M

21/76

D 9169-4M

9056-4M

H01L 29/78

311

Y

審査請求 未請求 請求項の数 3 O L (全5頁) 最終頁に続く

(21)出願番号

特願平5-74848

(71)出願人 000002325

セイコー電子工業株式会社

(22)出願日

平成5年(1993)3月31日

東京都江東区亀戸6丁目31番1号

(72)発明者 山崎 恒夫

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

(72)発明者 高橋 邦博

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

(72)発明者 鷹巣 博昭

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

(74)代理人 弁理士 林 敬之助

最終頁に続く

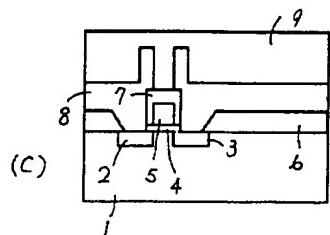
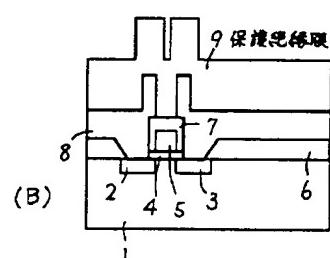
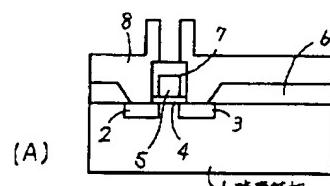
(54)【発明の名称】半導体装置の製造方法

(57)【要約】

【目的】耐久性に優れた絶縁基板のS O I 素子の製造方法を提供する。

【構成】単結晶珪素基板の上に、通常のL S I プロセスによってM O S型トランジスタ2、3、4、5が形成される工程と、該素子基板に保護絶縁膜9を形成する工程と、保護絶縁膜の表面を研削、研磨等により平坦化、平滑化する工程と、該素子基板の平坦化した面と、ガラス等の絶縁基板10を向かい合わせて接合する工程と、単結晶珪素基板の非接合面側の素子が形成されていない領域を研削、研磨、化学エッチなどで取り除く工程となる半導体基板の製造方法。

【効果】有機接着剤を用いずにガラス等の絶縁基板上に単結晶半導体層に集積回路を形成した薄膜を転写でき、ガラス基板上に集積回路を形成できるために、表示素子としてだけでなく、周辺の駆動回路、制御回路、メモリー、さらにはC P Uを含めたシステムまでを一基板上に形成できる。



1

【特許請求の範囲】

【請求項1】 絶縁性基板の上に単結晶半導体膜上に形成された集積回路を形成したいわゆるS O I構造の半導体装置の製造方法に於いて、すくなくとも

- A. 単結晶半導体基板の上に集積回路を形成する工程、
- B. 該集積回路基板との表面を保護絶縁膜で覆う工程、
- C. 該保護絶縁膜を研削、研磨などの機械的手段で平坦にする工程、
- D. 該集積回路基板の平坦化した面と、ガラス基板等の絶縁性材料からなる基板の平坦な面とを向かい合わせて接合する工程、
- E. 接合された単結晶半導体基板を研削、研磨等の手段で、集積回路の形成された層を残して除去する工程、とからなる半導体基板の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、単結晶珪素基板上に酸化膜を形成し、さらにその上に単結晶珪素膜を形成したS O I構造であり、該単結晶半導体基板を除去する該E工程は、水酸化カリウム溶液など珪素と酸化珪素の間でエッチング速度に大きな差を有する選択性化学エッチングであることを特徴とする半導体装置の製造方法。

【請求項3】 請求項1記載の半導体装置の製造方法において、該Dの接合工程は電界印加で生ずるいわゆる陽極接合法であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、浮遊容量の低減で高速動作が可能で、放射線の存在する環境下でも誤動作の少ない、また透明基板の上に形成することで液晶などのディスプレイ装置の駆動基板に用いることができる、いわゆるS O I型半導体装置の製造方法に関する。

【0002】

【従来の技術】 従来、図3および図4に示すように、ガラス基板等の絶縁性基板の上に単結晶半導体層からなる半導体装置を形成するための製造方法としては、

(A) 単結晶珪素基板の上に酸化珪素層を介して形成された単結晶半導体層いわゆるS O I基板に集積回路を形成する工程。

(B) 上記S O I基板を有機樹脂接着剤を用いてガラス基板に接着する工程。

(C) 不要の単結晶半導体層を選択性化学エッチングで除去する工程。からなる方法が知られている。

【0003】 こうして形成された半導体装置は絶縁層の上に形成されているので浮遊容量がすくなく、素子間の絶縁分離が容易なので、動作速度が速く、消費電力の少ない集積回路を実現できる。この効果は特にC M O Sの集積回路で顕著である。更に放射線による誤動作しにくく、寄生トランジスタを無くしてラッチアップを起こりにくくできる。透明基板に形成することで表示素子に使

10

20

30

40

50

用できるなど優れた特徴を有する。このS O I基板の形成法としては、単結晶珪素基板にイオン注入法で酸素を基板内部に層状に導入することで、基板表面に単結晶層を残したまま基板内部に絶縁層を形成できるいわゆるS I M O X法、単結晶珪素基板の上に酸化珪素などの絶縁層を形成後、別の単結晶基板と直接接合法で貼り合わせ、その後一方の基板の単結晶層は、絶縁層に接した薄層を残してエッチング、研磨などで除去し、単結晶珪素基板の上に絶縁層を介して単結晶珪素の薄層を形成できる。

【0004】

【発明が解決しようとする課題】 しかし、上記従来の方法では出発材料としてS O I基板を用いるので、基板の価格が通常の珪素単結晶基板と比べ高価であり、その結果得られる絶縁基板上に形成した半導体装置も高価なものとならざるを得ない。また価格が許容できる場合に於いても絶縁基板を半導体基板の接合方法としてはポリイミド、エポキシなどの有機樹脂接着剤が使われており、熱、機械的力など外乱の影響を受け易く信頼性の点に於いても改善する必要がある、という課題があった。

【0005】 そこで、この発明の目的は、従来のこのような課題を解決するため、製造が容易で、信頼性、耐久性に優れたS O I構造の半導体装置の製造方法を得ることである。

【0006】

【課題を解決するための手段】 上記課題を解決するためには、この発明はS O I構造の半導体装置の製造方法において、貼り合わせに接着剤を用いずに、S O I構造の半導体装置が得られるようにした。

【0007】

【作用】 接着剤を用いない接合法を実現することで信頼性、耐久性に優れたS O I構造の半導体装置が得られるのでこれ一方の基板に用いた用いたアクティブマトリクス型の液晶表示装置の実現が可能になる。

【0008】

【実施例】 以下に、この発明の実施例を図に基づいて説明する。図1(A)の工程においては、単結晶珪素基板1の上に、通常のL S IプロセスによってM O S型トランジスタのソース2、ドレイン3、ゲート絶縁膜4、ゲート電極5、フィールド酸化膜6、層間絶縁膜7、金属電極8などが形成される。これらの領域が形成されることで素子が形成された基板表面は1~3ミクロンの凹凸が生ずる。

【0009】 図1(B)の工程においては、該素子基板表面には保護絶縁膜9を形成する。保護絶縁膜の厚さは素子基板表面の凹凸よりも厚くする。図1(C)の工程においては、保護絶縁膜の表面を研磨、研削等により平坦化、平滑化する。

【0010】 図2(A)の工程においては、該素子基板の平坦化した面と、ガラス等の絶縁基板10を向かい合

わせて接合する。接合の手段としては高電界を印加して接合するいわゆる陽極接合法などによる。図2 (B) の工程においては、単結晶珪素基板の非接合面側の素子が形成されていない領域を研削、研磨、化学エッチなどで取り除く。

【0011】図5および図6は本発明の他の実施例であり、図5 (A) の工程においては、SOI型の半導体基板即ち、単結晶珪素基板11の上には2酸化珪素膜12を介して単結晶珪素薄膜SOI領域13があり、このSOI部13に通常のLSIプロセスによりMOS型トランジスタのソース2、ドレイン3、ゲート絶縁膜4、ゲート電極5、フィールド酸化膜6、層間絶縁膜7、金属電極8などが形成される。図1の実施例の場合と同様素子基板表面は1~3ミクロンの凹凸が生ずる。

【0012】図5 (B) の工程においては、図1の場合と同様該SOI素子基板表面に絶縁膜9が形成される。この厚さは素子基板の凹凸よりも厚くする。図5 (C) の工程においても、図1の場合と同様、SOI素子基板表面を研磨、研削等により平坦化、平滑化する。

【0013】次に図6 (A) の工程においては、該SOI素子基板の平坦化した面と、ガラス等の絶縁基板10を向かい合わせて接合する。接合の手段としては高電界を印加して接合するいわゆる陽極接合法などによる。図6 (B) の工程においては、SOI基板の素子が形成されていない側の領域の珪素層1を研削、研磨、化学エッチなどで取り除く。珪素層の除去を、酸化珪素と珪素の間でエッティング速度の比が例えば100:1と大きく取れる水酸化カリウム水溶液を用いたエッティングを行えば、酸化珪素層で事実上エッティングを停止でき、素子が形成された1~3ミクロンの層を確実に残すことができる。

【0014】

【発明の効果】この発明は、以上説明したように、絶縁性基板の上に単結晶半導体膜上に形成された集積回路を形成したいわゆるSOI構造の半導体装置の製造方法について、すくなくとも

- A. 単結晶半導体基板の上に集積回路を形成する工程、
- B. 該集積回路基板との表面を保護絶縁膜で覆う工程、
- C. 該保護絶縁膜を研削、研磨などの機械的手段で平坦にする工程、

D. 該集積回路基板の平坦化した面と、ガラス基板等の絶縁性材料からなる基板の平坦な面とを向かい合わせて接合する工程、

E. 接合された単結晶半導体基板を研削、研磨等の手段で、集積回路の形成された層を残して除去する工程、
とかなる半導体基板の製造方法という構成としたので、有機接着剤を用いずにガラス等の絶縁基板上に単結晶半導体層に集積回路を形成した薄膜を転写でき、ガラス基板上に集積回路を形成できる。

【0015】透明基板上に形成した集積回路は光を用いる素子である、アクティブマトリクス型液晶表示装置の基板や、光センサーリレーなどの基板に用いることができる。これらの基板は単にセンサーや、表示素子としてだけでなく、周辺の駆動回路、制御回路、メモリー、さらにはCPUを含めたシステムまでを1基板上に形成できる。有機接着剤を用いないので、熱的、機械的外乱に強く信頼性に優れた素子とできる。などの著しい効果がある。

【図面の簡単な説明】

【図1】 (A)、(B)、(C)は本発明のSOI型の半導体装置の製造法を示した説明図である。

【図2】 (A)、(B)は本発明のSOI型の半導体装置の製造法を示した説明図である。

【図3】 (A)、(B)は従来のSOI型の半導体装置の製造方法の説明図である。

【図4】従来のSOI型の半導体装置の製造方法の説明図である。

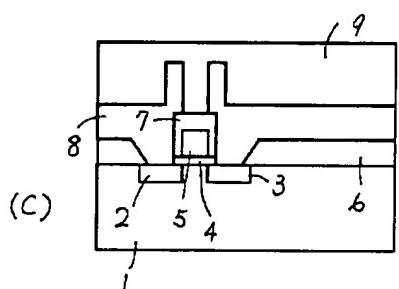
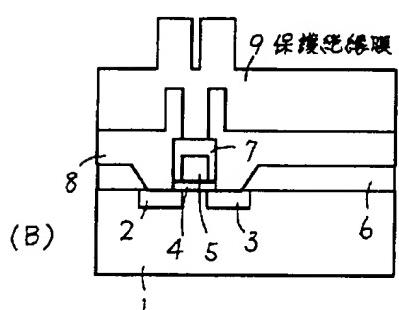
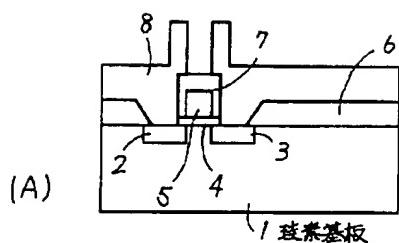
【図5】 (A)、(B)、(C)は本発明のSOI型の半導体装置の、さらに他の製造方法を示した説明図である。

【図6】 (A)、(B)は本発明のSOI型の半導体装置の、さらに他の製造方法を示した説明図である。

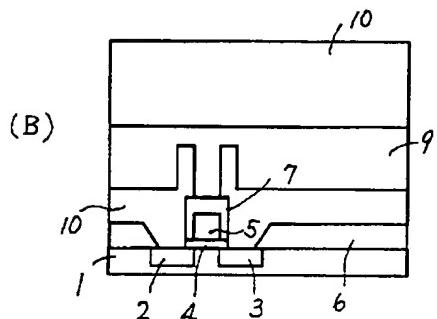
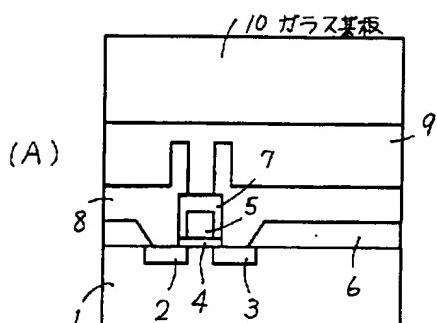
【符号の説明】

- 1 硅素基板
- 9 保護絶縁膜
- 10 ガラス基板
- 11 SOI基板
- 12 二酸化珪素膜
- 13 SOI層
- 14 接着剤

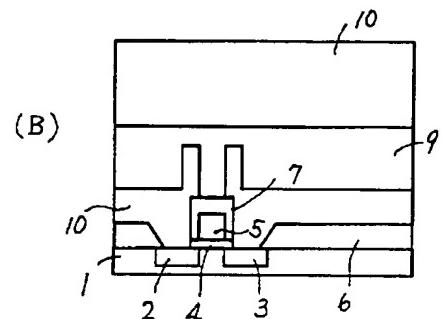
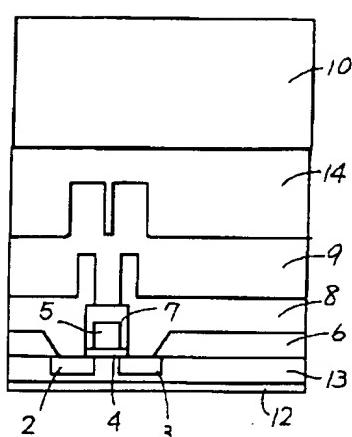
【図1】



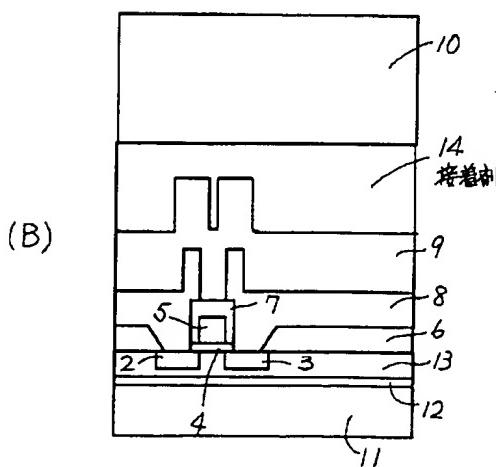
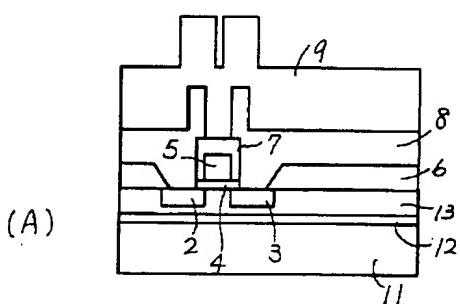
【図2】



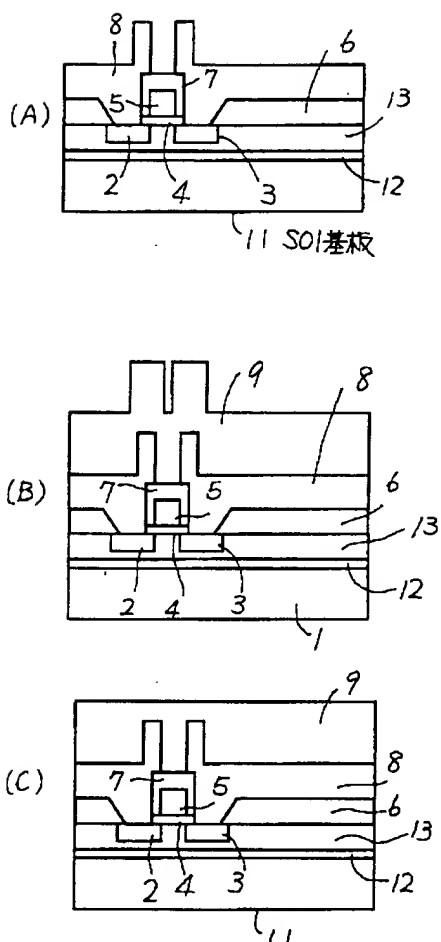
【図4】



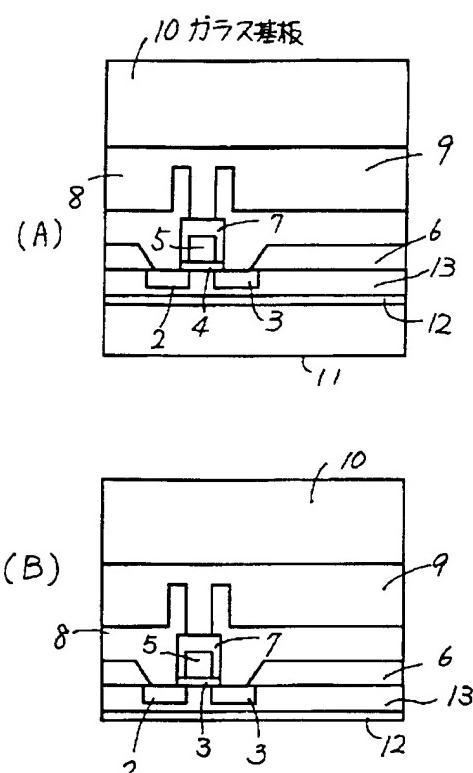
【図3】



【図 5】



【図 6】



フロントページの続き

(51) Int.CI.⁵

H 0 1 L 21/336

29/784

識別記号 疾内整理番号

F I

技術表示箇所

(72) 発明者 桜井 敦司

東京都江東区亀戸 6 丁目31番 1 号 セイコ

一電子工業株式会社内